

DERWENT-ACC-NO: 1995-221704

DERWENT-WEEK: 199529

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Etching appts. - with lower electrode provided at lower part of the etching treatment chamber and a ring silicon@ single crystal provided around semiconductor wafer

PATENT-ASSIGNEE: TOKYO ELECTRON LTD[TKEL]

PRIORITY-DATA: 1993JP-0282542 (November 11, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC JP 07135200 A 021/3065	May 23, 1995	N/A	006 H01L

APPLICATION-DATA:

PUB-NO JP 07135200A 1993	APPL-DESCRIPTOR N/A	APPL-NO 1993JP-0282542	APPL-DATE November 11,
--------------------------------	------------------------	---------------------------	---------------------------

INT-CL (IPC): C23F004/00, H01L021/3065

ABSTRACTED-PUB-NO: JP 07135200A

BASIC-ABSTRACT:

The lower electrode (10) is provided at lower part of the etching treatment chamber (1), and a ring Si single crystal (14) is provided around semiconductor wafer (w) situated on (10).

ADVANTAGE - Uniformity of etched surface is improved, and undesirable contamination is prevented by the process.

CHOSEN-DRAWING: Dwg.1/9

TITLE-TERMS: ETCH APPARATUS LOWER ELECTRODE LOWER PART ETCH TREAT CHAMBER RING SILICON@ SINGLE CRYSTAL SEMICONDUCTOR WAFER

DERWENT-CLASS: L03 U11

CPI-CODES: L04-D10;

EPI-CODES: U11-C07A1; U11-C09C;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1995-102238

Non-CPI Secondary Accession Numbers: N1995-173774

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-135200

(43)公開日 平成7年(1995)5月23日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/3065  
C 23 F 4/00

識別記号 庁内整理番号  
A 8417-4K

H01L-21/302

技術表示箇所

審査請求 未請求 請求項の数 3 OJ (全 6 頁)

(21) 出願番号 特願平5-282542  
(22) 出願日 平成5年(1993)11月11日

(71) 出願人 000219967  
東京エレクトロン株式会社  
東京都港区赤坂 5 丁目 3 番 6 号

(72) 発明者 小笠原 正宏  
東京都新宿区西新宿 2 丁目 3 番 1 号 東京  
エレクトロン株式会社内

(72) 発明者 田原 好文  
東京都新宿区西新宿 2 丁目 3 番 1 号 東京  
エレクトロン株式会社内

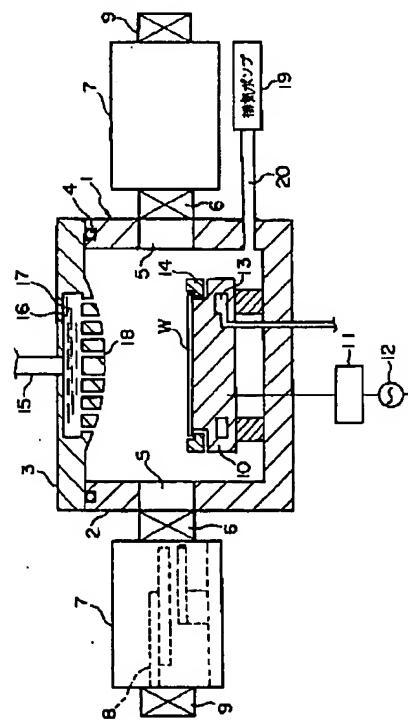
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 エッチング装置

(57) 【要約】

**【目的】** 従来に較べてエッティング処理の面内均一性を向上させることができるとともに、半導体ウエハ等の不所望な汚染を防止することのできるエッティング装置を提供する。

【構成】 エッティング処理室1内の下部には、下部電極10が設けられている。下部電極10に載置された半導体ウエハWの周囲を近接して（非接触な状態で）囲む如く、リング状に形成されたリング状部材14が配設されている。このリング状部材14は、シリコン単結晶から構成されている。



## 【特許請求の範囲】

【請求項1】 内部にエッチング処理を施す被処理基板を収容するエッチング処理室と、前記エッチング処理室内に配置され、前記被処理基板が配置される第1の電極と、前記第1の電極と対向する如く配置された第2の電極と、前記第1および第2の電極間に高周波電力を供給する電力供給機構と、前記エッチング処理室内に所定のエッチングガスを導入するためのガス導入機構と、前記エッチング処理室内から排気するための排気機構と、単結晶シリコンからリング状に形成され、前記第1の電極に配置された前記被処理基板の外側に近接して設けられたリング状部材とを具備したことを特徴とするエッチング装置。

【請求項2】 請求項1記載のエッチング装置において、 $\text{SiO}_2$ 膜をエッチングするエッチング装置であって、前記第1の電極に配置された前記被処理基板の表面の位置を零点、該表面から突出する方向をプラス方向、逆方向をマイナス方向として、前記リング状部材は、該リング状部材の表面位置が略プラス1.5mmとなるよう配置されていることを特徴とするエッチング装置。

【請求項3】 請求項1記載のエッチング装置において、ポリシリコン膜をエッチングするエッチング装置であって、前記第1の電極に配置された前記被処理基板の表面の位置を零点、該表面から突出する方向をプラス方向、逆方向をマイナス方向として、前記リング状部材は、該リング状部材の表面位置が略マイナス0.5mmとなるよう配置されていることを特徴とするエッチング装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、エッチング装置に関する。

## 【0002】

【従来の技術】従来から、半導体デバイスの製造工程等においては、エッチング処理室内を所定のエッチングガス雰囲気とするとともに、このエッチング処理室内に設けた電極間に高周波電力を印加してプラズマを生成し、このプラズマによって、半導体ウエハ等にエッチング処理を施すエッチング装置が多用されている。また、電極間に磁界を形成することにより、これらの間に生起されたプラズマを閉じ込めて効率の向上を図ったエッチング装置も用いられている。

## 【0003】

【発明が解決しようとする課題】しかしながら、近年、半導体デバイスは急速に高集積化される傾向にあり、そ

の回路パターンは益々微細化される傾向にある。このため、エッチング装置においても、高精度な処理が要求されるようになりつつあり、エッチング処理の面内均一性（ユニフォーミティー）を向上させること、および、たとえ微量であってもエッチング処理により半導体ウエハ等に金属等の汚染物が混入することを防止することが要求されるようになっている。

【0004】本発明は、かかる従来の事情に対処してなされたもので、従来に較べてエッチング処理の面内均一性を向上させることができるとともに、半導体ウエハ等の不所望な汚染を防止することのできるエッチング装置を提供しようとするものである。

## 【0005】

【課題を解決するための手段】すなわち、請求項1記載の本発明のエッチング装置は、内部にエッチング処理を施す被処理基板を収容するエッチング処理室と、前記エッチング処理室内に配置され、前記被処理基板が配置される第1の電極と、前記第1の電極と対向する如く配置された第2の電極と、前記第1および第2の電極間に高周波電力を供給する電力供給機構と、前記エッチング処理室内に所定のエッチングガスを導入するためのガス導入機構と、前記エッチング処理室内から排気するための排気機構と、単結晶シリコンからリング状に形成され、前記第1の電極に配置された前記被処理基板の外側に近接して設けられたリング状部材とを具備したことを特徴とする。

【0006】また、請求項2記載の本発明のエッチング装置は、請求項1記載のエッチング装置において、 $\text{SiO}_2$ 膜をエッチングするエッチング装置であって、前記第1の電極に配置された前記被処理基板の表面の位置を零点、該表面から突出する方向をプラス方向、逆方向をマイナス方向として、前記リング状部材は、該リング状部材の表面位置が略プラス1.5mmとなるよう配置されていることを特徴とする。

【0007】また、請求項3記載の本発明のエッチング装置は、請求項1記載のエッチング装置において、ポリシリコン膜をエッチングするエッチング装置であって、前記第1の電極に配置された前記被処理基板の表面の位置を零点、該表面から突出する方向をプラス方向、逆方向をマイナス方向として、前記リング状部材は、該リング状部材の表面位置が略マイナス0.5mmとなるよう配置されていることを特徴とする。

## 【0008】

【作用】上記構成の本発明のエッチング装置では、第1の電極に配置された被処理基板の外側に近接してリング状部材が設けられており、このリング状部材は単結晶シリコンから形成されている。

【0009】エッチング装置においては、通常、例えば半導体ウエハの中心部でエッチングレートが高く、周縁部でエッチングレートが低くなる傾向があるが、本発明

3

のエッティング装置では、上記リング状部材の作用により、このようなエッティングレートの分布を制御することができる。

【0010】また、このようなリング状部材は、半導体ウエハ等の近傍に配置されるため、半導体ウエハ等の汚染を引き起こし易いが、本発明のエッティング装置では、このリング状部材が単結晶シリコンから形成されているので、半導体ウエハ等の汚染を防止することができる。

【0011】

【実施例】以下、本発明の一実施例を図面を参照して説明する。

【0012】図1は、本発明の一実施例のエッティング装置の構成を示すもので、同図に示すように、エッティング処理室1は、材質例えれば表面にアルマイト処理を施したアルミニウムからなる有底円筒状のエッティング処理室下部2と、このエッティング処理室下部2の上部開口を気密に閉塞する如く配置され、同様な材質から円板状に形成されたエッティング処理室上部3とから構成されている。なお、これらの当接部には、内部を気密に保持するためのOリング4が配設されている。

【0013】エッティング処理室下部2の側壁部には、半導体ウエハWを搬入、搬出するための開口5が対向する如く両側に形成されており、これらの開口5の外側には、それぞれゲートバルブ6を介して、ロードロック室7が配設されている。これらのロードロック室7内には、それぞれ半導体ウエハWを搬入、搬出するための搬送機構8が配設されており（一方のみ図示する。）、通常、一方のロードロック室7が搬入専用、他方のロードロック室7が搬出専用とされる。なお、図中9は、各ロードロック室7と外部とを遮断、解放するためのゲートバルブである。

【0014】エッティング処理室1内の下部には、上面に半導体ウエハWを載置可能に構成され、この半導体ウエハWを静電チャック（図示せず）によって吸着保持可能に構成された下部電極10が設けられている。この下部電極10は、マッチング回路11を介して高周波電源12に接続されている。また、下部電極10は、内部に形成された熱媒体循環経路13に熱媒体を循環させることにより、温度制御可能に構成されている。

【0015】また、下部電極10に載置された半導体ウエハWの周囲を近接して（非接触な状態で）囲む如く、リング状に形成されたリング状部材14が配設されている。このリング状部材14は、シリコン単結晶から構成されている。

【0016】一方、エッティング処理室上部3の下部電極10に対向する部位は、上部電極を構成するものであり、ガス供給配管15から供給された所定のエッティングガスを、内部に形成されたガス拡散用の空隙16内でガス拡散板17によって拡散し、下側面に形成された多数の透孔18から、下部電極10上の半導体ウエハWに向

4

けて均一に供給するようになっている。

【0017】また、エッティング処理室2の下方には、排気ポンプ19に接続された排気配管20が接続されており、エッティング処理室1内を、所定の真空中に排気可能に構成されている。

【0018】このように構成されたエッティング装置では、予め排気ポンプ19を作動させてエッティング処理室1内を所定の真空中に設定しておく。

【0019】そして、どちらか一方のロードロック室7のゲートバルブ9を開け、搬送機構8によって半導体ウエハWをロードロック室7内に搬入し、この後、ゲートバルブ9を閉じてロードロック室7内を所定の真空中に設定し、かかる後、ゲートバルブ6を開け、搬送機構8により下部電極10上に半導体ウエハWを載置する。この半導体ウエハWは、前述のように静電チャック機構により下部電極10上に吸着保持される。

【0020】かかる後、搬送機構8をエッティング処理室1内から退避させ、ゲートバルブ6を閉じ、ガス供給配管15から所定のエッティングガスを供給し、これとともに、高周波電源12から例えば13.56MHzの高周波電力を供給してエッティングガスをプラズマ化し、半導体ウエハWにエッティング処理を施す。

【0021】この時、電極間に生起されたプラズマは、図示しない磁石によって形成された磁界により、これらの電極間に閉じ込められる。また、熱媒体循環経路13には、半導体ウエハWを温度制御、例えは冷却するための冷媒が循環される。

【0022】このようなエッティング処理において、リング状部材14の表面の高さが、エッティングレート（速度）の半導体ウエハW面内における分布に影響を与える。図2～図6は、このような半導体ウエハW面内におけるエッティングレートの分布を、エッティングガスとしてCH<sub>3</sub>F<sub>2</sub>／COを用いたSiO<sub>2</sub>のエッティングの場合について調べた結果を示すものである。

【0023】すなわち、図7および図8に示すように、リング状部材14の外周部分14aの厚さを変え、それぞれのリング状部材14について、実際にSiO<sub>2</sub>のエッティングを行った結果を示すものである。なお、図8において、リング状部材14の外周部分14aの幅（図中aで示す。）は、例えば20～30mm、外周部分14aと半導体ウエハWとの間の距離（図中bで示す。）は、例えば1.5mmである。

【0024】図2は、図7に示すようにリング状部材14の上面が平面状の場合の結果を示すものである。この場合、半導体ウエハWの下面とリング状部材14上面との間隔および半導体ウエハWの厚みにより、リング状部材14の上面は、半導体ウエハW表面より低い位置にある。半導体ウエハW表面の高さを基準高さ（高さ0）として、リング状部材14の上面の高さがこの基準高さより低い場合をマイナス、高い場合をプラスとした場合、

5

図7に示した状態は、略マイナス0.5mmとなる。

【0025】この値は、図3の場合が略プラス0.5mm、図4の場合がプラス1.1mm、図5の場合がプラス2.1mm、図6の場合がプラス3.1mmである。また、図2～図6において、縦軸はエッチングレート（オングストローム／分）であり、横軸は半導体ウエハWの中心からの距離である。なお、半導体ウエハW面上におけるエッチングレートの測定は、半導体ウエハW面上の直交する2つの径方向（X方向およびY方向）について行い、図2～図6の各グラフには、これらの2つの測定結果を示してある。

【0026】図2に示されるように、リング状部材14の上面の高さがマイナス0.5mmの場合は、半導体ウエハWの周縁部でのエッチングレートが、中央部に較べて低くなっている。そして、図3、図4に示すように、リング状部材14の上面の高さが、プラス0.5mm、プラス1.1mmとなると、次第に中央部のエッチングレートが低下し、全体としてフラットになるが、図5、図6に示すように、プラス2.1mm、プラス3.1mmとなると、次第に半導体ウエハWの周縁部でのエッチングレートが中央部に較べて高くなり、不均一となる。

【0027】図9は、縦軸をユニフォーミティー、横軸を上述したリング状部材14の上面の高さとして、図2～図6の測定結果のユニフォーミティーをグラフ化して示すものである。

【0028】このグラフに示されるように、 $\text{SiO}_2$ のエッチングの場合、リング状部材14の上面の高さを、マイナス0.5mm～プラス2.5mmの間に設定すれば、ユニフォーミティーが約7%以下となるように、均一なエッチング処理を行うことができる。なお、比較のため、リング状部材14のない状態で、同様な $\text{SiO}_2$ のエッチング処理を行ったところ、ユニフォーミティーは約10%程度となった。

【0029】また、エッチングレートの分布を示す曲線の形状は、図4（凸状）と、図5（凹状）との間で変化しており、これらの間、すなわち、リング状部材14の上面の高さをプラス1.1mm～プラス2.1mmの間、例えばプラス1.5mmに設定することにより、より均一な分布でエッチング処理を行うことができる事が分かる。この場合、ユニフォーミティーは、略5%程度である。

10

20

30

40

6

【0030】なお、このようなリング状部材14の最適な高さは、エッチング処理の種類によって変わり、例えば、エッティングガスとして $\text{Cl}_2$ を用いたポリシリコンのエッティングの場合の値は、略マイナス0.5mm程度となった。

【0031】以上のように、本実施例のエッティング装置では、リング状部材14によって、エッティング処理の面内均一性を向上させることができる。また、リング状部材14が、シリコン単結晶から構成されているので、このリング状部材14の表面がエッティングされても、半導体ウエハWに不純物が混入し、汚染されることを防止することができる。

【0032】

【発明の効果】以上説明したように、本発明のエッティング装置によれば、従来に較べてエッティング処理の面内均一性を向上させることができるとともに、半導体ウエハ等の不所望な汚染を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のエッティング装置の構成を示す図。

【図2】エッティングレートの分布を示すグラフ。

【図3】エッティングレートの分布を示すグラフ。

【図4】エッティングレートの分布を示すグラフ。

【図5】エッティングレートの分布を示すグラフ。

【図6】エッティングレートの分布を示すグラフ。

【図7】リング状部材の形状を説明するための図。

【図8】リング状部材の形状を説明するための図。

【図9】リング状部材の形状とユニフォーミティーとの関係を示すグラフ。

【符号の説明】

1 エッティング処理室

10 下部電極

11 マッチング回路

12 高周波電源

14 リング状部材

15 ガス供給配管

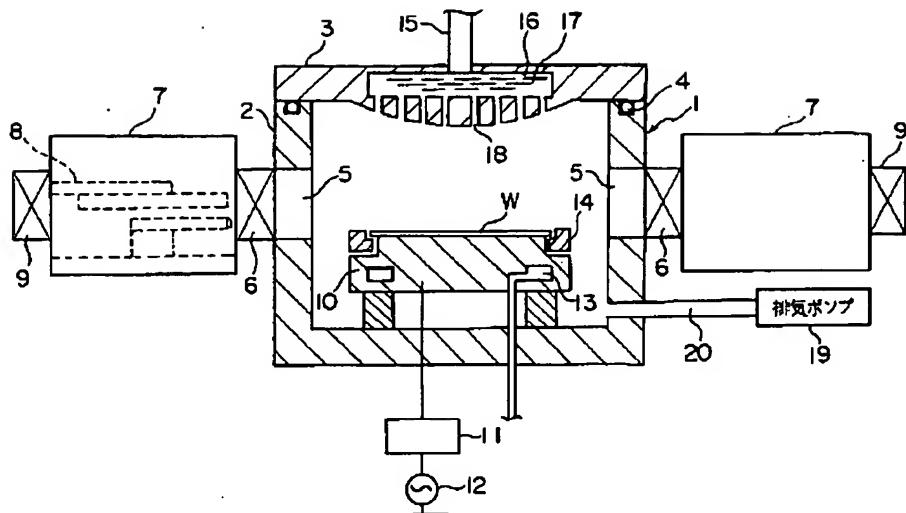
18 透孔

19 排気ポンプ

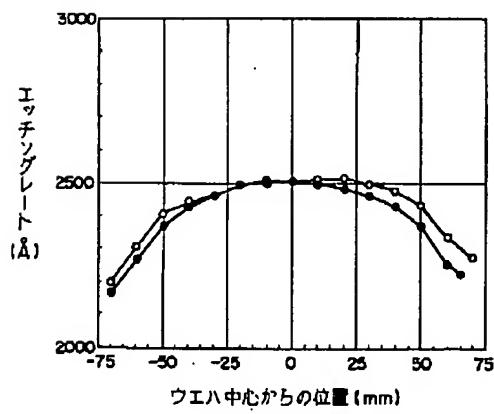
20 排気配管

W 半導体ウエハ

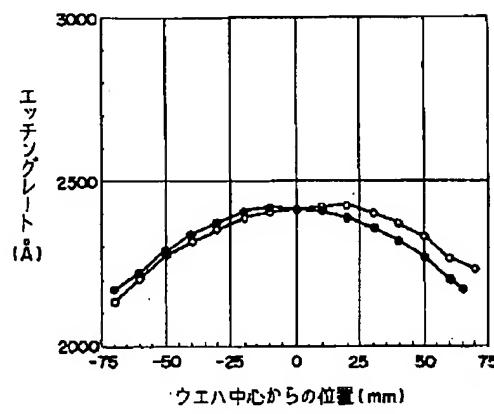
【図1】



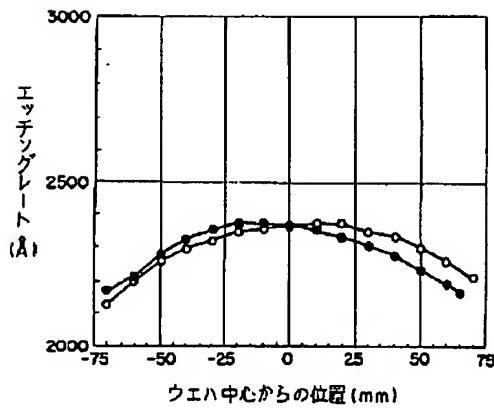
【図2】



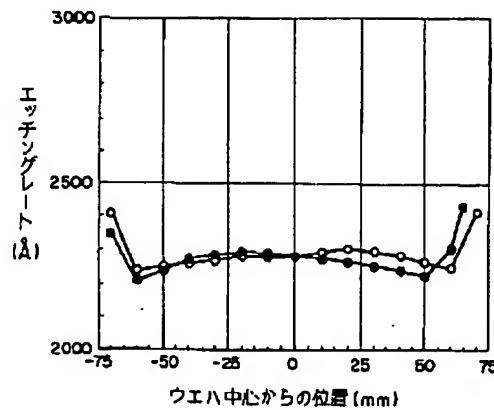
【図3】



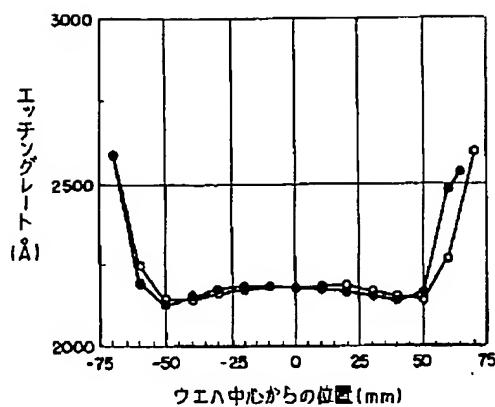
【図4】



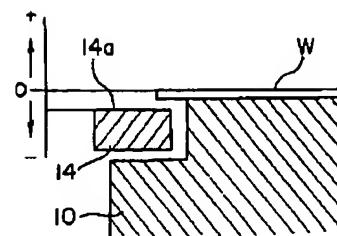
【図5】



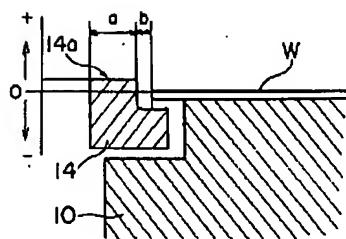
【図6】



【図7】



【図8】



【図9】

